

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

R
#2

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年11月25日

出願番号

Application Number:

平成11年特許願第334615号

出願人

Applicant(s):

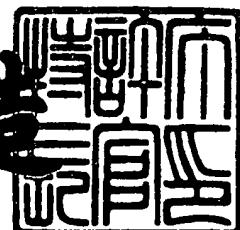
宮城日本電気株式会社

JC564 U.S.P.
09/717403
11/22/00

2000年10月 6日

特許長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
【整理番号】 02500658
【あて先】 特許庁長官殿
【国際特許分類】 H04B 14/06
H04B 12/02
H04M 11/06
H04Q 3/58

【発明者】

【住所又は居所】 宮城県黒川郡大和町吉岡字雷神2番地
宮城日本電気株式会社内

【氏名】 泉谷 稔

【特許出願人】

【識別番号】 000161253
【氏名又は名称】 宮城日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114151

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 μ 則 - A 則変換装置及びA 則 - μ 則変換装置

【特許請求の範囲】

【請求項1】 電話回線に用いられる変換則である μ 則と A 則の変換に関する μ 則 - A 則変換装置であって、

装置内部で基準として使用される装置内部フレームパルスを生成するタイミングパルス生成器と、

μ 則一次群PCM信号を入力してパラレル信号に変換したパラレル μ 則PCM信号を出力する μ 則信号受信回路と、

前記パラレル μ 則PCM信号を交互に選択することで前記パラレル μ 則PCM信号を時分割多重して時分割多重化 μ 則PCM信号を生成する第1のセレクタと、前記時分割多重化 μ 則PCM信号を時分割多重化A 則PCM信号に変換する μ 則 - A 則変換器と、

前記時分割多重化A 則PCM信号をA 則側回線へ出力されるようにパラレルA 則PCM信号に振り分ける第2のセレクタと、

前記パラレルA 則PCM信号をシリアル信号に変換したA 則一次群PCM信号を出力するA 則信号出力回路とを備え、

前記 μ 則一次群PCM信号を前記A 則一次群PCM信号に変換することを特徴とする μ 則 - A 則変換装置。

【請求項2】 前記 μ 則信号受信回路が、

前記 μ 則一次群PCM信号をバイポーラ・ユニポーラ変換してユニポーラ μ 則一次群信号を出力するラインレシーバと、

前記ユニポーラ μ 則一次群信号を一時的に蓄積するフレームバッファと、

前記ユニポーラ μ 則一次群信号のフレーム先頭部分を検出しフレーム先頭位置に同期したフレームバッファ書き込み側アドレスリセットパルスを生成するフレーム検出器と、

前記装置内部フレームパルスと前記フレームバッファ書き込み側アドレスリセットパルスとを比較し、その位置の時間的ずれを測定するフレーム位置比較器と、

前記フレームバッファから読み出されたシリアル μ 則PCM信号をパラレル信号

に変換したパラレル μ 則PCM信号を出力するシリアル・パラレル変換器とを含んで構成されることを特徴とする請求項1記載の μ 則-A則変換装置。

【請求項3】 前記A則信号出力回路が、

前記パラレルA則PCM信号をシリアル信号に変換したシリアルA則PCM信号を出力するパラレル・シリアル変換器と、

前記シリアルA則PCM信号に必要なフレームビットを付加するフレーム挿入器と、

フレームビット付加済みのシリアルA則PCM信号を所定の出力振幅レベルに変換したA則一次群PCM信号を出力するラインドライバと

を含んで構成されることを特徴とする請求項1記載の μ 則-A則変換装置。

【請求項4】 前記 μ 則信号受信回路の数量と前記A則信号出力回路の数量とが等しいことを特徴とする請求項1記載の μ 則-A則変換装置。

【請求項5】 電話回線に用いられる変換則であるA則と μ 則の変換に関するA則- μ 則変換装置であって、

装置内部で基準として使用される装置内部フレームパルスを生成するタイミングパルス生成器と、

A則一次群PCM信号を入力してパラレル信号に変換したパラレルA則PCM信号を出力するA則信号受信回路と、

前記パラレルA則PCM信号を交互に選択することで前記パラレルA則PCM信号を時分割多重して、時分割多重化A則PCM信号を生成する第3のセレクタと

前記時分割多重化A則PCM信号を時分割多重化 μ 則PCM信号に変換するA則- μ 則変換器と、

前記時分割多重化 μ 則PCM信号を μ 則側回線へ出力されるようにパラレル μ 則PCM信号に振り分ける第4のセレクタと、

前記パラレル μ 則PCM信号をシリアル信号に変換した μ 則一次群PCM信号を出力する μ 則信号出力回路とを備え、

前記A則一次群PCM信号を前記 μ 則一次群PCM信号に変換することを特徴とするA則- μ 則変換装置。

【請求項6】 前記A則信号受信回路が、

前記A則一次群PCM信号をバイポーラ・ユニポーラ変換してユニポーラA則一次群信号を出力するラインレシーバと、

前記ユニポーラA則一次群信号を一時的に蓄積するフレームバッファと、

前記ユニポーラA則一次群信号のフレーム先頭部分を検出しフレーム先頭位置に同期したフレームバッファ書き込み側アドレスリセットパルスを生成するフレーム検出器と、

前記装置内部フレームパルスと前記フレームバッファ書き込み側アドレスリセットパルスとを比較し、その位置の時間的ずれを測定するフレーム位置比較器と、前記フレームバッファから読み出されたシリアルA則PCM信号をパラレル信号に変換したパラレルA則PCM信号を出力するシリアル・パラレル変換器とを含んで構成されることを特徴とする請求項5記載のA則- μ 則変換装置。

【請求項7】 前記 μ 則信号出力回路が、

前記パラレル μ 則PCM信号をシリアル信号に変換したシリアル μ 則PCM信号を出力するパラレル・シリアル変換器と、

前記シリアル μ 則PCM信号に必要なフレームビットを付加するフレーム挿入器と、

フレームビット付加済みのシリアル μ 則PCM信号を所定の出力振幅レベルに変換した μ 則一次群PCM信号を出力するラインドライバとを含んで構成されることを特徴とする請求項5記載のA則- μ 則変換装置。

【請求項8】 前記A則信号受信回路の数量と前記 μ 則信号出力回路の数量とが等しいことを特徴とする請求項5記載のA則- μ 則変換装置。

【請求項9】 電話回線に用いられる変換則である μ 則とA則の変換に関する μ 則-A則変換装置及びA則- μ 則変換装置であって、

装置内部で基準として使用される装置内部フレームパルスを生成するタイミングパルス生成器と、

μ 則からA則に変換が必要な μ 則一次群PCM信号を入力してパラレル信号に変換したパラレル μ 則PCM信号を出力し、このパラレル μ 則PCM信号を交互に選択して時分割多重して時分割多重化 μ 則PCM信号を生成し、この時分割多重

化 μ 則PCM信号を時分割多重化A則PCM信号に変換し、この時分割多重化A則PCM信号をA則側回線へ出力されるようにパラレルA則PCM信号に振り分け、このパラレルA則PCM信号をシリアル信号に変換したA則一次群PCM信号を出力する μ 則-A則変換装置と、

A則から μ 則に変換が必要なA則一次群PCM信号を入力してパラレル信号に変換したパラレルA則PCM信号を出力し、このパラレルA則PCM信号を交互に選択して時分割多重して時分割多重化A則PCM信号を生成し、この時分割多重化A則PCM信号を時分割多重化 μ 則PCM信号に変換し、この時分割多重化 μ 則PCM信号を μ 則側回線へ出力されるようにパラレル μ 則PCM信号に振り分け、このパラレル μ 則PCM信号をシリアル信号に変換した μ 則一次群PCM信号を出力するA則- μ 則変換装置と

を備えることを特徴とする μ 則-A則変換装置及びA則- μ 則変換装置。

【請求項10】 前記フレームバッファが2フレーム分のデータ容量を持つFIFOメモリであることを特徴とする請求項2記載の μ 則-A則変換装置。

【請求項11】 前記フレームバッファが2フレーム分のデータ容量を持つFIFOメモリであることを特徴とする請求項6記載のA則- μ 則変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は電話音声のPCMデジタル伝送に用いられるアナログ-デジタル変換則の国際標準である μ 則とA則に関し、特に μ 則-A則変換装置及びA則- μ 則変換装置に関する。

【0002】

【従来の技術】

一次群PCM電話回線にはITU-T Rec. G. 711 μ 則により符号化されている回線と同A則により符号化されている回線があり、各国でいずれかの変換則が選択採用されている。そのため、変換則の異なる二国間にまたがるPCM国際電話回線を敷設する場合、両国の通信網間の接続点において、異なる変換則を用いて符号化されているPCM音声信号は相互に変換する必要がある。こ

これらの符号化則の異なる回線間を相互接続する際に μ 則－A則変換器やA則－ μ 則変換器が用いられる。

【0003】

この場合、従来は一次群回線1回線ごとに個別の μ 則－A則変換器やA則－ μ 則変換器を設けており、回線数を増設する場合には、これらの変換器も回線数と同じ数だけ増設することで対応していた。

【0004】

【発明が解決しようとする課題】

従来の技術では、 μ 則－A則変換器やA則－ μ 則変換器を増設するためにコストが嵩み、信頼性の低下を招くという欠点があった。そのため、 μ 則－A則変換器やA則－ μ 則変換器を増設せずに回線数を増やすことが課題であった。

【0005】

この発明は、このような従来の課題を解決するものであり、一次群PCM電話回線が増加しても、 μ 則－A則変換器やA則－ μ 則変換器を増設する必要のない μ 則－A則変換装置及びA則－ μ 則変換装置の提供を目的とする。

【0006】

【課題を解決するための手段】

前述の課題を解決するために、請求項1の発明は、電話回線に用いられる変換則である μ 則とA則の変換に関する μ 則－A則変換装置であって、装置内部で基準として使用される装置内部フレームパルスを生成するタイミングパルス生成器と、 μ 則一次群PCM信号を入力してパラレル信号に変換したパラレル μ 則PCM信号を出力する μ 則信号受信回路と、前記パラレル μ 則PCM信号を交互に選択することで前記パラレル μ 則PCM信号を時分割多重して時分割多重化 μ 則PCM信号を生成する第1のセレクタと、前記時分割多重化 μ 則PCM信号を時分割多重化A則PCM信号に変換する μ 則－A則変換器と、前記時分割多重化A則PCM信号をA則側回線へ出力されるようにパラレルA則PCM信号に振り分ける第2のセレクタと、前記パラレルA則PCM信号をシリアル信号に変換したA則一次群PCM信号を出力するA則信号出力回路とを備え、前記 μ 則一次群PCM信号を前記A則一次群PCM信号に変換する。

【0007】

また、請求項2の発明は、前記 μ 則信号受信回路が、前記 μ 則一次群PCM信号をバイポーラ・ユニポーラ変換してユニポーラ μ 則一次群信号を出力するラインレシーバと、前記ユニポーラ μ 則一次群信号を一時的に蓄積するフレームバッファと、前記ユニポーラ μ 則一次群信号のフレーム先頭部分を検出しフレーム先頭位置に同期したフレームバッファ書き込み側アドレスリセットパルスを生成するフレーム検出器と、前記装置内部フレームパルスと前記フレームバッファ書き込み側アドレスリセットパルスとを比較し、その位置の時間的ずれを測定するフレーム位置比較器と、前記フレームバッファから読み出されたシリアル μ 則PCM信号をパラレル信号に変換したパラレル μ 則PCM信号を出力するシリアル・パラレル変換器とを含んで構成される。

【0008】

さらに、請求項3の発明は、前記A則信号出力回路が、前記パラレルA則PCM信号をシリアル信号に変換したシリアルA則PCM信号を出力するパラレル・シリアル変換器と、前記シリアルA則PCM信号に必要なフレームビットを付加するフレーム挿入器と、フレームビット付加済みのシリアルA則PCM信号を所定の出力振幅レベルに変換したA則一次群PCM信号を出力するラインドライバとを含んで構成される。

【0009】

さらに、請求項4の発明は、前記 μ 則信号受信回路の数量と前記A則信号出力回路の数量とが等しい。

【0010】

さらに、請求項5の発明は、電話回線に用いられる変換則であるA則と μ 則の変換に関するA則- μ 則変換装置であって、装置内部で基準として使用される装置内部フレームパルスを生成するタイミングパルス生成器と、A則一次群PCM信号を入力してパラレル信号に変換したパラレルA則PCM信号を出力するA則信号受信回路と、前記パラレルA則PCM信号を交互に選択することで前記パラレルA則PCM信号を時分割多重して、時分割多重化A則PCM信号を生成する第3のセレクタと、前記時分割多重化A則PCM信号を時分割多重化 μ 則PCM

信号に変換するA則- μ 則変換器と、前記時分割多重化 μ 則PCM信号を μ 則側回線へ出力されるようにパラレル μ 則PCM信号に振り分ける第4のセレクタと

前記パラレル μ 則PCM信号をシリアル信号に変換した μ 則一次群PCM信号を出力する μ 則信号出力回路とを備え、前記A則一次群PCM信号を前記 μ 則一次群PCM信号に変換する。

【0011】

さらに、請求項6の発明は、前記A則信号受信回路が、前記A則一次群PCM信号をバイポーラ・ユニポーラ変換してユニポーラA則一次群信号を出力するラインレシーバと、前記ユニポーラA則一次群信号を一時的に蓄積するフレームバッファと、前記ユニポーラA則一次群信号のフレーム先頭部分を検出しフレーム先頭位置に同期したフレームバッファ書き込み側アドレスリセットパルスを生成するフレーム検出器と、前記装置内部フレームパルスと前記フレームバッファ書き込み側アドレスリセットパルスとを比較し、その位置の時間的ずれを測定するフレーム位置比較器と、前記フレームバッファから読み出されたシリアルA則PCM信号をパラレル信号に変換したパラレルA則PCM信号を出力するシリアル・パラレル変換器とを含んで構成される。

【0012】

さらに、請求項7の発明は、前記 μ 則信号出力回路が、前記パラレル μ 則PCM信号をシリアル信号に変換したシリアル μ 則PCM信号を出力するパラレル・シリアル変換器と、前記シリアル μ 則PCM信号に必要なフレームビットを付加するフレーム挿入器と、フレームビット付加済みのシリアル μ 則PCM信号を所定の出力振幅レベルに変換した μ 則一次群PCM信号を出力するラインドライバとを含んで構成される。

【0013】

さらに、請求項8の発明は、前記A則信号受信回路の数量と前記 μ 則信号出力回路の数量とが等しい。

【0014】

さらに、請求項9の発明は、電話回線に用いられる変換則である μ 則とA則の

変換に関する μ 則-A則変換装置及びA則- μ 則変換装置であって、装置内部で基準として使用される装置内部フレームパルスを生成するタイミングパルス生成器と、 μ 則からA則に変換が必要な μ 則一次群PCM信号を入力してパラレル信号に変換したパラレル μ 則PCM信号を出力し、このパラレル μ 則PCM信号を交互に選択して時分割多重して時分割多重化 μ 則PCM信号を生成し、この時分割多重化 μ 則PCM信号を時分割多重化A則PCM信号に変換し、この時分割多重化A則PCM信号をA則側回線へ出力されるようにパラレルA則PCM信号に振り分け、このパラレルA則PCM信号をシリアル信号に変換したA則一次群PCM信号を出力する μ 則-A則変換装置と、A則から μ 則に変換が必要なA則一次群PCM信号を入力してパラレル信号に変換したパラレルA則PCM信号を出力し、このパラレルA則PCM信号を交互に選択して時分割多重して時分割多重化A則PCM信号を生成し、この時分割多重化A則PCM信号を時分割多重化 μ 則PCM信号に変換し、この時分割多重化 μ 則PCM信号を μ 則側回線へ出力されるようにパラレル μ 則PCM信号に振り分け、このパラレル μ 則PCM信号をシリアル信号に変換した μ 則一次群PCM信号を出力するA則- μ 則変換装置とを備える。

【0015】

さらに、請求項10の発明は、前記フレームバッファが2フレーム分のデータ容量を持つFIFOメモリである。

【0016】

さらに、請求項11の発明は、前記フレームバッファが2フレーム分のデータ容量を持つFIFOメモリである。

【0017】

【発明の実施の形態】

この発明による μ 則-A則変換装置では、 μ 則-A則変換器8の前段・後段にセレクタ7、9およびシリアル-パラレル変換器6a、6bとパラレル-シリアル変換器10a、10bを置いている。A則- μ 則変換装置では、A則- μ 則変換器408の前段・後段にセレクタ407、409およびシリアル-パラレル変換器406a、406bとパラレル-シリアル変換器410a、410bを置い

ている。また、複数の入力信号間のフレーム位相ずれを吸収するための回路として、フレームバッファ4a、4b、404a、404bおよびフレーム位置比較器5a、5b、405a、405bを設けている。

【0018】

従って、従来装置では収容する回線数と同数だけのμ則-A則変換器やA則-μ則変換器が必要とされるのに対して、この発明では、複数の回線で共用される1台のみを搭載すれば充分である。

(第1の実施の形態の構成)

この発明の第1の実施の形態（2本の一次群PCM電話回線（2回線）を収容するμ則-A則変換装置）の構成について図1を参照して詳細に説明する。

【0019】

第1の実施の形態のμ則-A則変換装置は、μ則信号受信回路1aとμ則信号受信回路1bとセレクタ7とμ則-A則変換器8とセレクタ9とA則信号出力回路13aとA則信号出力回路13bとで構成される。μ則信号受信回路1aとμ則信号受信回路1bとは同一の構成であり、また、A則信号出力回路13aとA則信号出力回路13bも同一の構成である。

【0020】

μ則信号受信回路1aは、ラインレシーバ2aとフレームバッファ4aとフレーム検出器3aとフレーム位置比較器5aとシリアル・パラレル変換器6aからなる。

【0021】

ラインレシーバ2aは、μ則-A則変換装置に入力されたμ則一次群PCM信号21aをバイポーラ・ユニポーラ変換して、ユニポーラμ則一次群信号22aを出力する。フレームバッファ4aはラインレシーバ2aから出力されるユニポーラμ則一次群信号22aを一時的に蓄積する2フレーム分のデータ容量を持つFIFO(First-In/First-Out)メモリである。

【0022】

フレーム検出器3aは、ユニポーラμ則一次群信号22aのフレーム先頭部分を検出し、フレーム先頭位置に同期したフレームバッファ書き込み側アドレスリ

セットパルス24aを生成する。

【0023】

フレーム位置比較器5aは、タイミングパルス生成器35が発生する装置内部フレームパルス32と、フレームバッファ書き込み側アドレスリセットパルス24aとを比較し、その位置の時間的ずれを図示しないμ則-A則変換装置内部のクロック信号を基準に計数することで測定する。なお、装置内部フレームパルス32とフレームバッファ書き込み側アドレスリセットパルス24aが接近または同じタイミングで出現すると、フレームバッファ4aにおける同一データ領域への読み出し動作と書き込み動作との衝突が発生し、正常なデータの受け渡しが不可能である。その場合には、フレーム位置比較器5aが、フレームバッファ読み出し側アドレスリセットパルス25aを1フレーム分（図2の（1）のa-TS0～a-TS31）早めるかあるいは遅れさせて、前記の衝突を避ける。

【0024】

シリアル・パラレル変換器6aは、フレームバッファ4aから読み出された8ビット単位のシリアルμ則PCM信号27aを8ビットのパラレル信号に変換したパラレルμ則PCM信号23aを出力する。

【0025】

タイミングパルス生成器35は、装置内部で基準として使用される装置内部フレームパルス32を生成する。

【0026】

μ則信号受信回路1bは、μ則信号受信回路1aと同一の構成で、ラインレシーバ2bとフレームバッファ4bとフレーム検出器3bとフレーム位置比較器5bとシリアル・パラレル変換器6bからなり、μ則一次群PCM信号21bを入力して、パラレルμ則PCM信号23bを出力する。μ則信号受信回路1aの説明はμ則信号受信回路1bにそのまま当てはめられるので、詳細な説明は省略する。

【0027】

セレクタ7は、シリアル・パラレル変換器6a、6bからそれぞれ順次出力されるパラレルμ則PCM信号23a、23bを交互に選択することでパラレルμ

則PCM信号23a、23bの両信号を時分割多重して、時分割多重化 μ 則PCM信号28を生成する。

【0028】

μ 則-A則変換器8は、時分割多重化 μ 則PCM信号28を、それに相当する時分割多重化A則PCM信号29に変換する。

【0029】

セレクタ9は、時分割多重化A則PCM信号29を、それぞれの然るべきA則側回線へ出力されるようにパラレルA則PCM信号31aとパラレルA則PCM信号31bに振り分ける。

【0030】

A則信号出力回路13aは、パラレル・シリアル変換器10aとフレーム挿入器11aとラインドライバ12aからなる。パラレル・シリアル変換器10aは、パラレルA則PCM信号31aをシリアル信号に変換したシリアルA則PCM信号30aを出力する。フレーム挿入器11aは、シリアルA則PCM信号30aに必要なフレームビットを付加する。ラインドライバ12aは、フレームビット付加済みシリアルA則PCM信号33aを装置所定の出力振幅レベルに変換したA則一次群PCM信号34aを出力する。

【0031】

A則信号出力回路13bは、A則信号出力回路13aと同一の構成で、パラレル・シリアル変換器10bとフレーム挿入器11bとラインドライバ12bからなる。パラレル・シリアル変換器10bは、パラレルA則PCM信号31bをシリアル信号に変換したシリアルA則PCM信号30bを出力する。フレーム挿入器11bは、シリアルA則PCM信号30bに必要なフレームビットを付加する。ラインドライバ12bは、フレームビット付加済みシリアルA則PCM信号33bを装置所定の出力振幅レベルに変換したA則一次群PCM信号34bを出力する。

(第1の実施の形態の動作)

次に、この発明の第1の実施の形態の動作について図1のブロック図と図2のタイミング図を参照して説明する。 μ 則信号受信回路1aと μ 則信号受信回路1

bは同一構成なので、併記して説明する。

【0032】

受信した μ 則一次群PCM信号21a、21bは、それぞれラインレシーバ2a、2bで μ 則-A則変換装置内部の論理信号レベルに変換され、ユニポーラ μ 則一次群信号22a、22b（図2の（1）、（3））となってフレームバッファ4a、4bに順次書き込まれる。

【0033】

並行して μ 則-A則変換装置に入力される2つの μ 則一次群PCM信号21aと μ 則一次群PCM信号21bの個々のフレーム位置は、それぞれフレーム検出器3a、3bによって検出される。またフレーム検出器3a、3bは、検出したフレームに同期した μ 則一次群PCM信号21a、21bのフレームバッファ4a、4bへのフレームバッファ書き込み側アドレスリセットパルス24a、24b（図2の（2）、（4））を発生する。

【0034】

フレーム検出器3a、3bから得られるフレームバッファ書き込み側アドレスリセットパルス24a、24bと、タイミングパルス生成器35が発生する装置内部フレームパルス32（図2の（5））との時間差は、フレーム位置比較器5a、5bによって比較測定される。また、フレーム位置比較器5a、5bは、その比較測定した結果から、フレームバッファ4a、4bに蓄積されているPCM信号の読み出しに用いるフレームバッファ読み出し側アドレスリセットパルス25a、25bを適切なタイミングで送出する。

【0035】

その結果、フレームバッファ4a、4bからは装置内部フレームパルス32に同期したシリアル μ 則PCM信号27a、27b（図2の（6）、（7））が順次読み出される。更に、シリアル μ 則PCM信号27a、27bはそれぞれ8ビット単位のシリアル信号であるため、これをシリアル・パラレル変換器6a、6bにてパラレル μ 則PCM信号23a、23b（図2の（8）、（9））に変換する。

【0036】

その結果、この装置においては、装置入力の μ 則一次群PCM信号21a、21bの時点で両者の間にフレーム同期が取れていなくても、パラレル μ 則PCM信号23a、23b（図2の（8）、（9））において装置内部フレームパルス32（図2の（5））への同期が取れている状態となる。

【0037】

パラレル μ 則PCM信号23a、23bは、セレクタ7によって順次選択されることで同一の信号線上に時分割多重化され、時分割多重化 μ 則PCM信号28（図2の（10））として出力される。時分割多重化 μ 則PCM信号28は、 μ 則-A則変換器8に入力され、逐次それに相当するA則のビットパターンに置き換えられた時分割多重化A則PCM信号29に変換される。時分割多重化A則PCM信号29は、セレクタ9により然るべきパラレルA則PCM信号31a、31bへ振り分けられる。

【0038】

A則信号出力回路13aとA則信号出力回路13bは同一構成なので、併記して説明する。

【0039】

パラレルA則PCM信号31a、31bは、それぞれパラレル・シリアル変換器10a、10bによりシリアル信号に変換され、シリアルA則PCM信号30a、30bとして出力される。更にシリアルA則PCM信号30a、30bにはフレーム挿入器11a、11bによってA則一次群回線のフレームフォーマットに従ったフレームビットが付加され、フレームビット付加済みシリアルA則PCM信号33a、33bとなる。フレームビット付加済みシリアルA則PCM信号33a、33bは、それぞれラインドライバ12a、12bによって装置内部の論理レベルからユニポーラ・バイポーラ変換され、所定の出力レベルに変換したA則一次群PCM信号34a、34bとして出力される。

（第2の実施の形態）

第2の実施の形態は、3回線以上の複数の回線を収容する μ 則-A則変換装置である。収容する回線数に見合った入力選択が可能なセレクタを設けることで3回線以上の収容が可能である。図3はこの発明による第2の実施の形態（3回線

以上の複数の回線を収容する μ 則 - A 則変換装置) を示すブロック図である。

【0040】

この μ 則 - A 則変換装置は、 μ 則信号受信回路 1a、 1b、 1c、 1x とセレクタ 7 と μ 則 - A 則変換器 8 とセレクタ 9 と A 則信号出力回路 13a、 13b、 13c、 13x とで構成される。 μ 則信号受信回路 1a と μ 則信号受信回路 1b と μ 則信号受信回路 1c と μ 則信号受信回路 1x は同一の構成である。また、 A 則信号出力回路 13a と A 則信号出力回路 13b と A 則信号出力回路 13c と A 則信号出力回路 13x は同一の構成である。

【0041】

μ 則信号受信回路 1a、 1b、 1c、 1x はそれぞれ μ 則一次群 PCM 信号 2 1a、 2 1b、 2 1c、 2 1x を入力し、 パラレル μ 則 PCM 信号 2 3a、 2 3b、 2 3c、 2 3x を出力する。

【0042】

パラレル μ 則 PCM 信号 2 3a、 2 3b、 2 3c、 2 3x は、 セレクタ 7 によって順次選択されることで同一の信号線上に時分割多重化され、 時分割多重化 μ 則 PCM 信号 2 8 として出力される。時分割多重化 μ 則 PCM 信号 2 8 は、 μ 則 - A 則変換器 8 に入力され、 逐次それに相当する A 則のビットパターンに置き換えられた時分割多重化 A 則 PCM 信号 2 9 に変換される。時分割多重化 A 則 PCM 信号 2 9 は、 セレクタ 9 により然るべきパラレル A 則 PCM 信号 3 1a、 3 1b、 3 1c、 3 1x へ振り分けられる。

【0043】

A 則信号出力回路 13a、 13b、 13c、 13x は、 それぞれパラレル A 則 PCM 信号 3 1a、 3 1b、 3 1c、 3 1x を入力し、 A 則一次群 PCM 信号 3 4a、 3 4b、 3 4c、 3 4x を出力する。

(第3の実施の形態)

第3の実施の形態は、 A 則を μ 則に変換する A 則 - μ 則変換装置であり、 図1 と図3に示した μ 則信号と A 則信号を逆にする構成であり、 特に μ 則 - A 則変換器 8 の代えて A 則 - μ 則変換器 408 を用いて実現している。

【0044】

図4はこの発明による第3の実施の形態（2回線を収容するA則- μ 則変換装置）を示すブロック図である。図4に示すA則- μ 則変換装置は、A則信号受信回路401a、401bとセレクタ407とA則- μ 則変換器408とセレクタ409と μ 則信号出力回路413a、413bなどで構成される。A則信号受信回路401aとA則信号受信回路401bとは同一の構成である。また、 μ 則信号出力回路413aと μ 則信号出力回路413bも同一の構成である。

【0045】

A則信号受信回路401aとA則信号受信回路401bとを併記しながら説明すると同時に、 μ 則信号出力回路413aと μ 則信号出力回路413bとを併記しながらこの発明の第3の実施の形態について図4のブロック図を参照して説明する。

【0046】

受信したA則一次群PCM信号421a、421bは、ラインレシーバ402a、402bでA則- μ 則変換装置内部の論理信号レベルに変換され、ユニポーラA則一次群信号422a、422bとなってフレームバッファ404a、404bに順次書き込まれる。

【0047】

並行して μ 則-A則変換装置に入力される2つのA則一次群PCM信号421aとA則一次群PCM信号421bの個々のフレーム位置は、それぞれフレーム検出器403aとフレーム検出器403bによって検出される。またフレーム検出器403a、403bは、検出したフレームに同期したA則一次群PCM信号421a、421bのフレームバッファ404a、404bへのフレームバッファ書き込み側アドレスリセットパルス424a、424bを発生する。

【0048】

フレーム検出器403a、403bから得られるフレームバッファ書き込み側アドレスリセットパルス424a、424bと、タイミングパルス生成器35が発生する装置内部フレームパルス32との時間差は、フレーム位置比較器405a、405bによって比較測定される。また、フレーム位置比較器405a、405bは、その比較測定した結果から、フレームバッファ404a、404bに

蓄積されているPCM信号の読み出しに用いるフレームバッファ読み出し側アドレスリセットパルス425a、425bを適切なタイミングで送出する。

【0049】

その結果、フレームバッファ404a、404bからは装置内部フレームパルス32に同期したシリアルA則PCM信号427a、427bが順次読み出される。更に、シリアルA則PCM信号427a、427bはそれぞれ8ビット単位のシリアル信号であるため、これをシリアル・パラレル変換器406a、406bにてパラレルA則PCM信号423a、423bに変換する。

【0050】

その結果、この装置においては、装置入力のA則一次群PCM信号421a、421bの時点で両者の間にフレーム同期が取れていなくても、パラレルA則PCM信号423a、423bにおいて装置内部フレームパルス32への同期が取れている状態となる。

【0051】

パラレルA則PCM信号423a、423bは、セレクタ407によって順次選択されることで同一の信号線上に時分割多重化され、時分割多重化A則PCM信号428として出力される。時分割多重化A則PCM信号428は、A則- μ 則変換器408に入力され、逐次それに相当する μ 則のビットパターンに置き換えられた時分割多重化 μ 則PCM信号429に変換される。時分割多重化 μ 則PCM信号429は、セレクタ409により然るべきパラレル μ 則PCM信号431a、431bへ振り分けられる。

【0052】

パラレル μ 則PCM信号431a、431bは、それぞれパラレル・シリアル変換器410a、410bによりシリアル信号に変換され、シリアル μ 則PCM信号430a、430bとして出力される。更にシリアル μ 則PCM信号430a、430bには、それぞれフレーム挿入器411a、411bによって μ 則一次群回線のフレームフォーマットに従ったフレームビットが付加される。フレームビット付加済みシリアル μ 則PCM信号433a、433bは、それぞれラインドライバ412a、412bによって装置内部の論理レベルからユニポーラ・

バイポーラ変換され、所定の出力レベルに変換した μ 則一次群PCM信号434a、434bとして出力される。

(第4の実施の形態)

図5はこの発明による第4の実施の形態（3回線以上の複数の回線を収容するA則- μ 則変換装置）を示すブロック図である。

【0053】

このA則- μ 則変換装置は、A則信号受信回路401a、401b、401c、401xとセレクタ407とA則- μ 則変換器408とセレクタ409と μ 則信号出力回路413a、413b、413c、413xとで構成される。A則信号受信回路401aとA則信号受信回路401bとA則信号受信回路401cとA則信号受信回路401xは同一の構成である。また、 μ 則信号出力回路413aと μ 則信号出力回路413bと μ 則信号出力回路413cと μ 則信号出力回路413xは同一の構成である。

【0054】

A則信号受信回路401a、401b、401c、401xにはそれぞれA則一次群PCM信号421a、421b、421c、421xが入力され、パラレルA則PCM信号423a、423b、423c、423xが出力される。

【0055】

パラレルA則PCM信号423a、423b、423c、423xは、セレクタ407によって順次選択されることで同一の信号線上に時分割多重化され、時分割多重化A則PCM信号428として出力される。時分割多重化A則PCM信号428は、A則- μ 則変換器408に入力され、逐次それに相当する μ 則のビットパターンに置き換えられた時分割多重化 μ 則PCM信号429に変換される。時分割多重化 μ 則PCM信号429は、セレクタ409により然るべきパラレル μ 則PCM信号431a、431b、431c、431xへ振り分けられる。

【0056】

μ 則信号出力回路413a、413b、413c、413xには、それぞれパラレル μ 則PCM信号431a、431b、431c、431xが入力され、 μ 則一次群PCM信号434a、434b、434c、434xが出力される。

(第5の実施の形態)

図6は、この発明による第5の実施の形態（ μ 則－A則変換装置とA則－ μ 則変換装置とを含む μ 則－A則変換装置及びA則－ μ 則変換装置）を示すブロック図である。図3に示す第2の実施の形態（3回線以上の複数の回線を収容する μ 則－A則変換装置）と図5に示す第4の実施の形態（3回線以上の複数の回線を収容するA則－ μ 則変換装置）とを含んだ構成で、双方向性の μ 則のA則の相互変換装置を実現している。

【0057】

μ 則一次群PCM信号21a、21b、21c、21xを入力してA則一次群PCM信号34a、34b、34c、34xを出力すると共に、A則一次群PCM信号421a、421b、421c、421xを入力して μ 則一次群PCM信号434a、434b、434c、434xを出力する。

【0058】

【発明の効果】

この発明においては、入力される2つの信号を装置内部で8ビットのオクテット単位で位相同期させ、8ビットのパラレルデータに変換する。その結果、2つの回線からの入力データを時分割多重することが可能になり、装置内の8ビットのパラレル入出力を行うただ1台の μ 則－A則変換器（またはA則－ μ 則変換器）を用いて、 μ 則－A則変換（またはA則－ μ 則変換）を行うことができる。

【0059】

従来このような装置においては、収容する回線数だけ μ 則－A則変換器（またはA則－ μ 則変換器）を必要とするのに対し、この発明によれば μ 則－A則変換器（またはA則－ μ 則変換器）は装置内に1台あれば良い。そのため、コストが嵩張らず、回路構成が単純化でき、信頼性が向上するという効果を奏する。

【図面の簡単な説明】

【図1】

この発明による μ 則－A則変換装置及びA則－ μ 則変換装置の第1の実施の形態（2回線を収容する μ 則－A則変換装置）を示すブロック図である。

【図2】

この発明による μ 則 - A 則変換装置及びA則 - μ 則変換装置の第1の実施の形態（2回線を収容する μ 則 - A 則変換装置）の各信号のタイミング図である。

【図3】

この発明による μ 則 - A 則変換装置及びA則 - μ 則変換装置の第2の実施の形態（3回線以上の複数の回線を収容する μ 則 - A 則変換装置）を示すブロック図である。

【図4】

この発明による μ 則 - A 則変換装置及びA則 - μ 則変換装置の第3の実施の形態（2回線を収容する A 則 - μ 則変換装置）を示すブロック図である。

【図5】

この発明による μ 則 - A 則変換装置及びA則 - μ 則変換装置の第4の実施の形態（3回線以上の複数の回線を収容する A 則 - μ 則変換装置）を示すブロック図である。

【図6】

この発明による μ 則 - A 則変換装置及びA則 - μ 則変換装置の第5の実施の形態（ μ 則 - A 則変換装置と A 則 - μ 則変換装置とを含む μ 則 - A 則変換装置及び A 則 - μ 則変換装置）を示すブロック図である。

【符号の説明】

- 1 a、1 b、1 c、1 x μ 則信号受信回路
- 2 a、2 b ラインレシーバ
- 3 a、3 b フレーム検出器
- 4 a、4 b フレームバッファ
- 5 a、5 b フレーム位置比較器
- 6 a、6 b シリアル・パラレル変換器
- 7 セレクタ
- 8 μ 則 - A 則変換器
- 9 セレクタ
- 10 a、10 b パラレル・シリアル変換器
- 11 a、11 b フレーム挿入器

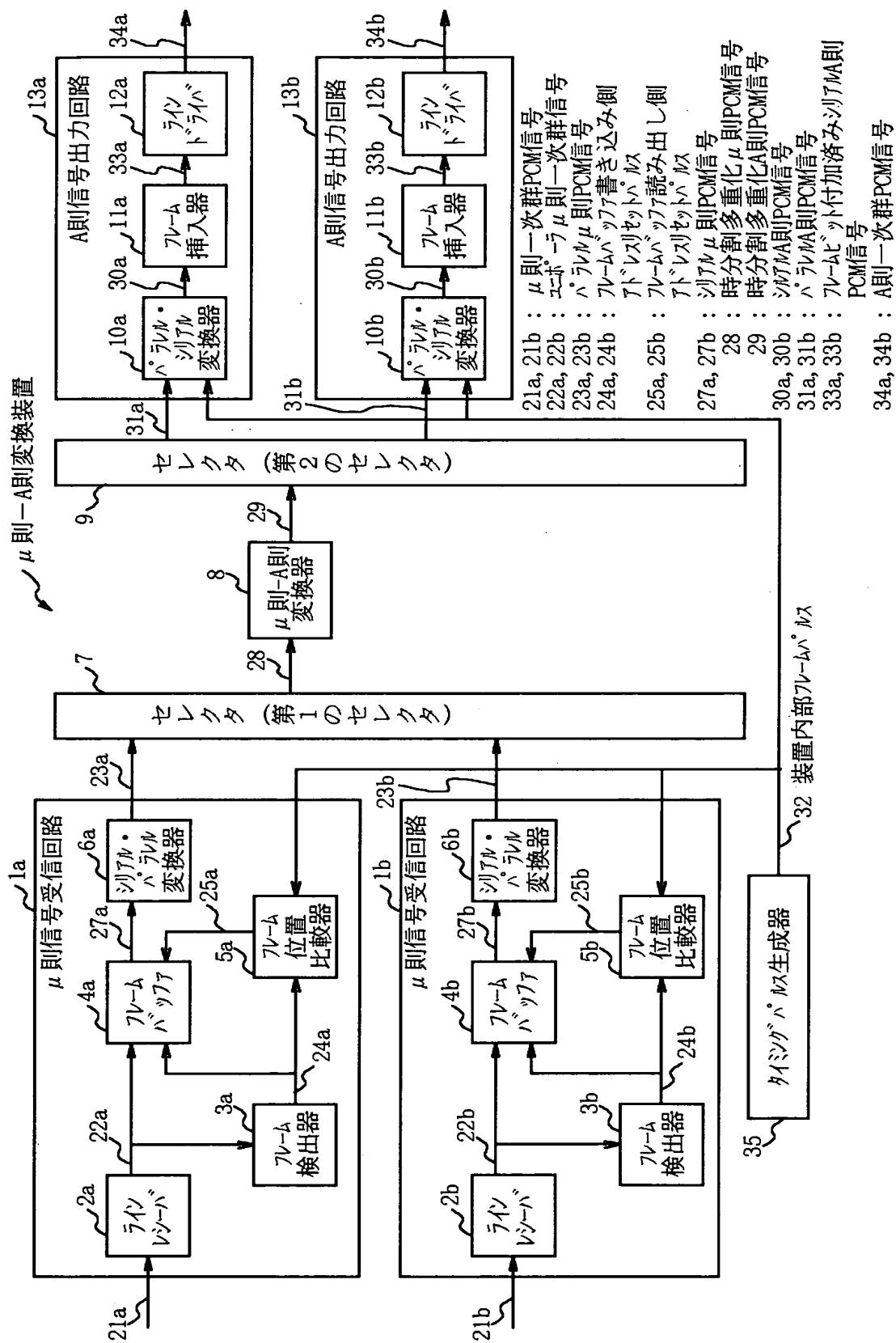
- 12a、12b ラインドライバ
13a、13b、13c、13x A則信号出力回路
21a、21b、21c、21x μ 則一次群PCM信号
22a、22b ユニポーラ μ 則一次群信号
23a、23b、23c、23x パラレル μ 則PCM信号
24a、24b フレームバッファ書き込み側アドレスリセットパルス
25a、25b フレームバッファ読み出し側アドレスリセットパルス
27a、27b シリアル μ 則PCM信号
28 時分割多重化 μ 則PCM信号
29 時分割多重化A則PCM信号
30a、30b シリアルA則PCM信号
31a、31b、31c、31x パラレルA則PCM信号
32 装置内部フレームパルス
33a、33b フレームビット付加済みシリアルA則PCM信号
34a、34b、34c、34x A則一次群PCM信号
35 タイミングパルス生成器
401a、401b、401c、401x A則信号受信回路
402a、402b ラインレシーバ
403a、403b フレーム検出器
404a、404b フレームバッファ
405a、405b フレーム位置比較器
406a、406b シリアル・パラレル変換器
407 セレクタ
408 A則- μ 則変換器
409 セレクタ
410a、410b パラレル・シリアル変換器
411a、411b フレーム挿入器
412a、412b ラインドライバ
413a、413b、413c、413x μ 則信号出力回路

- 421a、421b、421c、421x A則一次群PCM信号
422a、422b ユニポーラA則一次群信号
423a、423b、423c、423x パラレルA則PCM信号
424a、424b フレームバッファ書き込み側アドレスリセットパルス
425a、425b フレームバッファ読み出し側アドレスリセットパルス
427a、427b シリアルA則PCM信号
428 時分割多重化A則PCM信号
429 時分割多重化μ則PCM信号
430a、430b シリアルμ則PCM信号
431a、431b、431c、431x パラレルμ則PCM信号
433a、433b フレームビット付加済みシリアルμ則PCM信号
434a、434b、434c、434x μ則一次群PCM信号

特平11-334615

【書類名】 図面

【図1】



【図2】

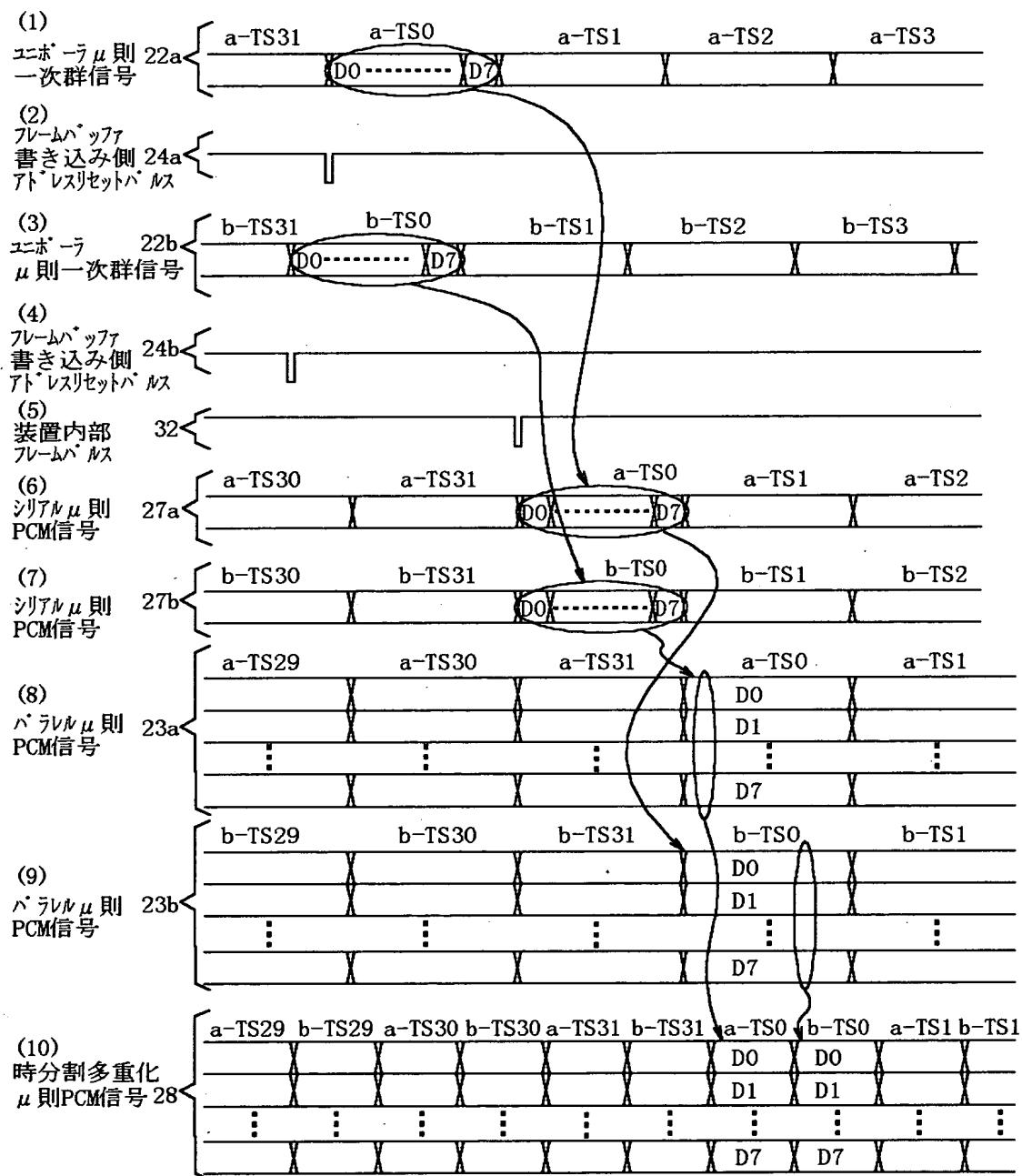
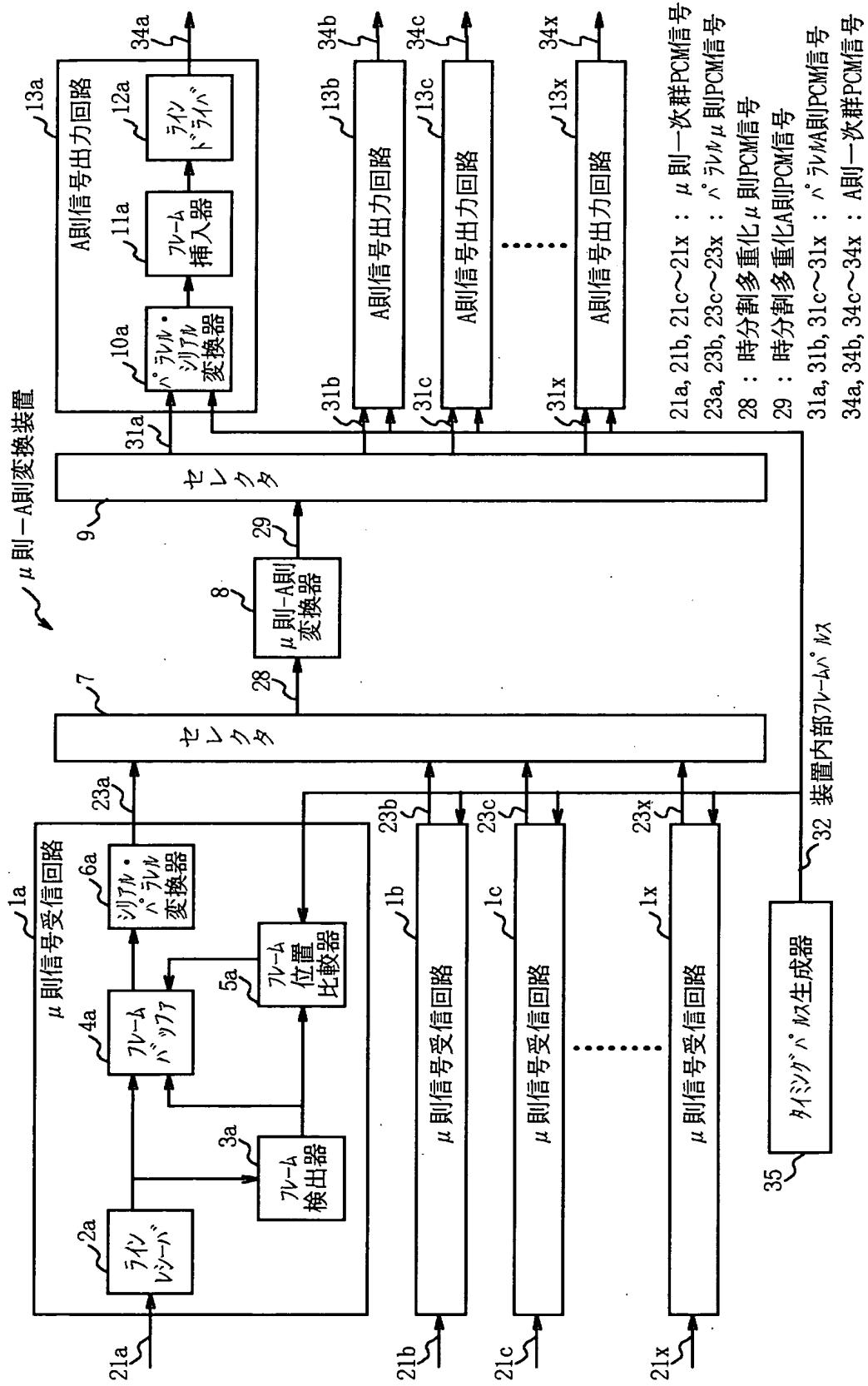
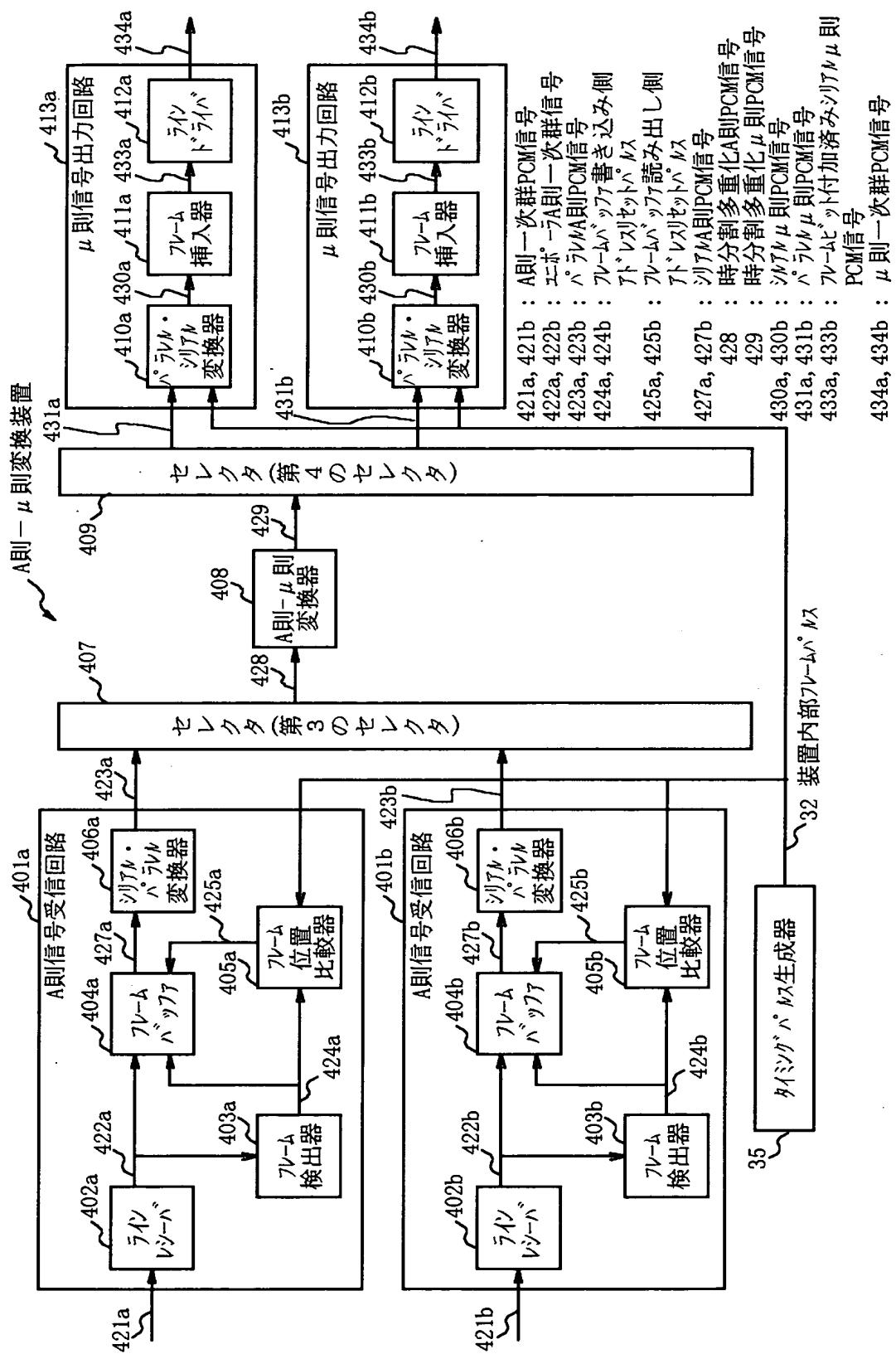


図3】



【図4】



【図5】

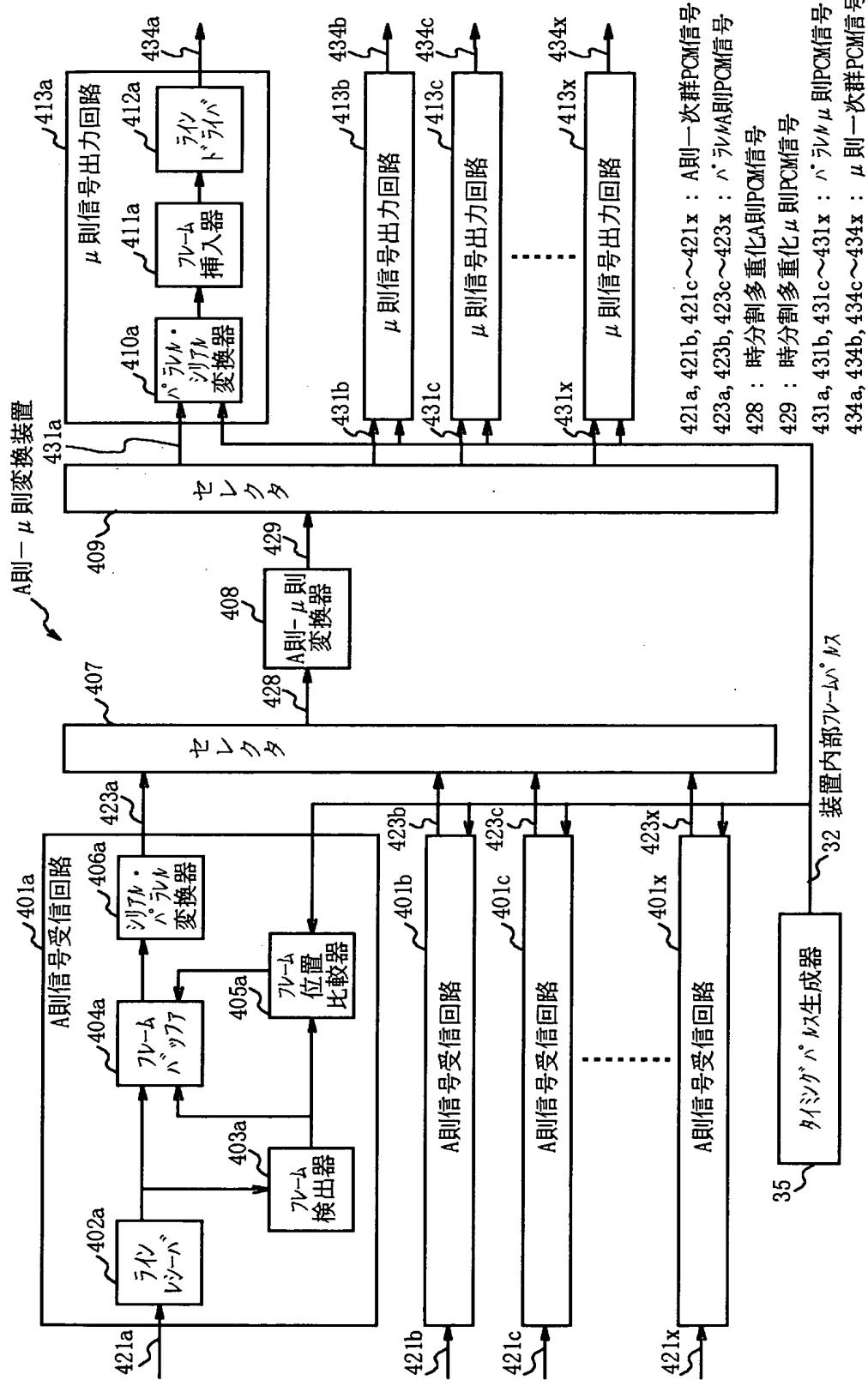
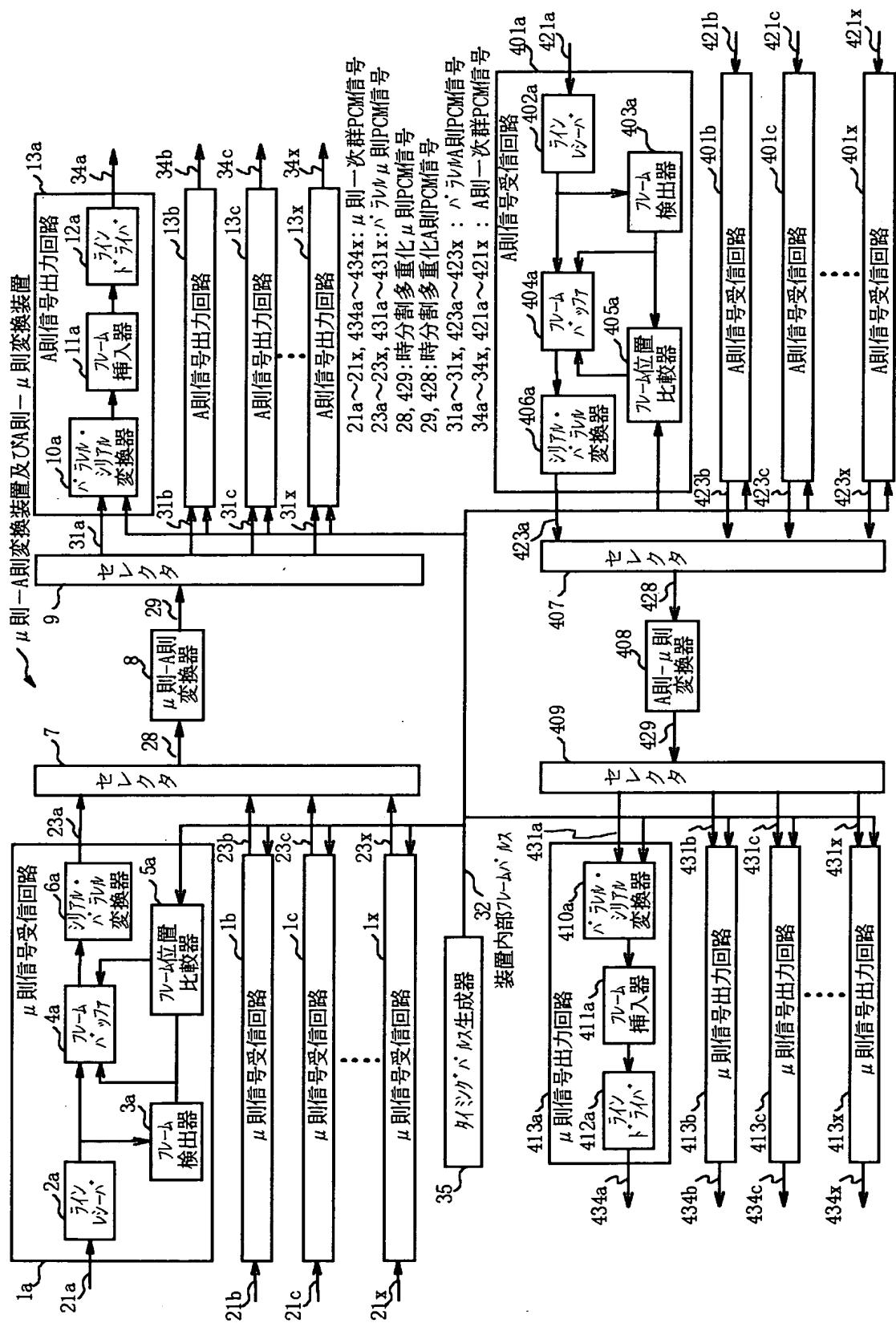


図6】



特平11-334615

【書類名】 要約書

【要約】

【課題】 一次群回線1回線ごとに μ 則とA則の変換器を設けており、変換器を増設せずに回線数を増やすことが課題であった。

【解決手段】 μ 則一次群PCM信号を入力して8ビットのパラレル信号に変換したパラレル μ 則PCM信号を出力する μ 則信号受信回路1a、1bと、パラレル μ 則PCM信号を交互に選択することでパラレル μ 則PCM信号を時分割多重して、時分割多重化 μ 則PCM信号を生成する第1のセレクタ7と、時分割多重化 μ 則PCM信号を時分割多重化A則PCM信号に変換する μ 則-A則変換器8と、時分割多重化A則PCM信号をA則側回線へ出力されるようにパラレルA則PCM信号に振り分ける第2のセレクタ9と、パラレルA則PCM信号をシリアル信号に変換したA則一次群PCM信号を出力するA則信号出力回路13a、13bとを備える μ 則とA則の変換装置。

【選択図】 図1

認定・付加情報

特許出願の番号 平成11年 特許願 第334615号
受付番号 59901150232
書類名 特許願
担当官 第七担当上席 0096
作成日 平成11年11月29日

<認定情報・付加情報>

【提出日】 平成11年11月25日

次頁無

出願人履歴情報

識別番号 [000161253]

1. 変更年月日 1990年 9月 1日

[変更理由] 新規登録

住 所 宮城県黒川郡大和町吉岡字雷神2番地

氏 名 宮城日本電気株式会社